

PAT-NO: JP411068059A

DOCUMENT-IDENTIFIER: JP 11068059 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT  
DEVICE

PUBN-DATE: March 9, 1999

INVENTOR-INFORMATION:

NAME

FUJISAWA, HIROKI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP09217578

APPL-DATE: August 12, 1997

INT-CL (IPC): H01L027/108, H01L021/8242

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device which is much enhanced in operation speed and markedly reduced in power consumption by a method, wherein pre-decode signal lines in a three or more hierarchical word line structure are lessened in wiring length.

SOLUTION: Pre-decoders 8 are each provided, so as to be sandwiched in between global word drivers 9 at the centers of the upper and lower memory cell array region of a semiconductor chip CH in a DRAM of three hierarchical word

line structure, and the pre-decode signal wires PD are laid in parallel with global word lines, so as to run over sub-arrays SM<SB>0</SB> to SM<SB>15</SB>. The pre- decode signal lines PD are divided in a few so as to make one out of the pre- decode signal lines PD correspond to a few global word lines. Therefore, the pre-decode signal line PD can be arranged on a memory array 2, and the semiconductor chip CH can be reduced in wiring area and wiring length.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-68059

(43)公開日 平成11年(1999) 3月9日

(51)IntCl.<sup>5</sup>

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 A

21/8242

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21)出願番号 特願平9-217578

(22)出願日 平成9年(1997) 8月12日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 藤澤 宏樹

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

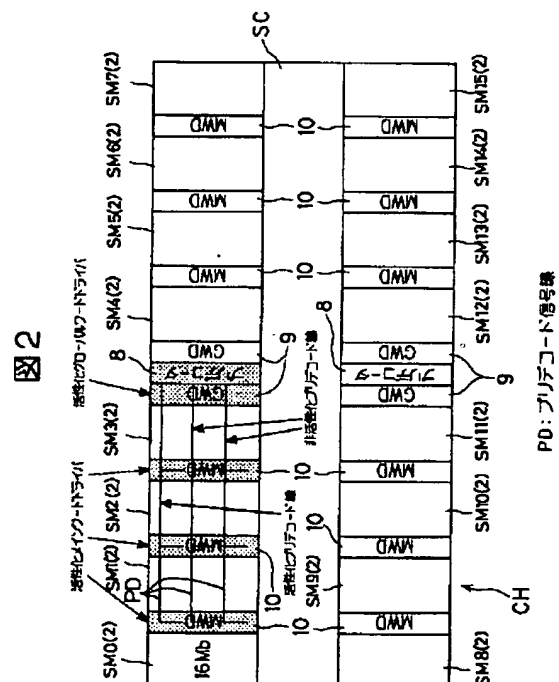
(74)代理人 弁理士 筒井 大和

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 3階層以上の階層形ワード線構造におけるプリデコード信号線の配線長を小さくして動作速度を高速化し、かつ消費電力を大幅に低減させる。

【解決手段】 3階層形ワード線構造のDRAMにおける半導体チップCHの上下部のメモリスルアレイ領域の中央部にグローバルワードドライバ9に挟まれるようにプリデコード8を設け、プリデコード8のプリデコード信号線PDがグローバルワード線と平行に各々のサブアレイSM0～SM15上を通るように配線されている。また、プリデコード信号線PDは、数本のグローバルワード線毎に1本のプリデコード信号線PDが対応するように複数本に分割されている。よって、プリデコード信号線PDをメモリスルアレイ2上に配線することができ、半導体チップCHの配線面積を小さく、かつ配線長を小さくできる。



## 【特許請求の範囲】

【請求項1】 ワード線を3階層以上に分割した階層形ワード線構造からなる半導体集積回路装置であって、アドレスデータを受けてプリデコードを行うプリデコーダから出力されるプリデコード信号を供給するプリデコード信号線をメモリアレイの領域上における配線層に形成した構造よりなることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、前記プリデコード信号線を2本以上に分割して設けたことを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置において、前記プリデコーダを、メモリセルがマトリクス構造に2次元配置されたメモリアレイが分割して設けられるメモリセルアレイ領域に形成したことを特徴とする半導体集積回路装置。

【請求項4】 請求項1または2記載の半導体集積回路装置において、前記プリデコーダのバッファを、メモリセルがマトリクス構造に2次元配置されたメモリアレイが分割して設けられるメモリセルアレイ領域に形成したことを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置に関し、特に、DRAM(Dynamic Random Access Memory)における3階層以上の階層形ワード線(DWD: Divided Word Driver)構成の消費電力の低減に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】本発明者が検討したところによれば、たとえば、大容量のDRAMでは、チップ省面積化や動作の高速化などを行うためにメインワード線およびサブワード線を階層化した3階層形ワード線構造が用いられる。

【0003】また、この3階層形ワード線構造のDRAMにおいては、プリデコーダが半導体チップの中央部に配置されている周辺回路領域に設けられているので、メインワードドライバやサブワードドライバなどにプリデコード信号を供給するプリデコード信号線は、その周辺回路領域に配線されてメインワードドライバやサブワードドライバなどと電気的に接続されている。

【0004】なお、この種の半導体集積回路装置について詳しく述べてある例としては、特開平02-62780号公報があり、この文献には、DRAMにおける階層形ワード線構造などが記載されている。

## 【0005】

【発明が解決しようとする課題】ところが、上記のような3階層形ワード線構造のDRAMでは、次のような問題点があることが本発明者により見い出された。

【0006】すなわち、プリデコード信号線が半導体チップの中央部に配置されている周辺回路領域に配線されているので、プリデコード信号線の配線長が大きくなってしまい、プリデコード信号の信号遅延が大きくなり、高速化の妨げになってしまうという問題がある。

【0007】また、前述したプリデコード信号線の配線長が大きくなってしまふことやプリデコード信号線に接続される各階層におけるワードドライバのMOSトランジスタにおけるゲート容量の増加などによって充放電電流も増加してしまい、低消費電力化などの妨げになってしまうという問題がある。

【0008】本発明の目的は、3階層以上の階層形ワード線構造におけるプリデコード信号線の配線長を小さくして動作速度を高速化し、かつ消費電力を大幅に低減させることのできる半導体集積回路装置を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0011】すなわち、本発明の半導体集積回路装置は、アドレスデータを受けてプリデコードを行うプリデコーダから出力されるプリデコード信号を供給するプリデコード信号線をメモリアレイの領域上における配線層に形成した構造よりなるものである。

【0012】それにより、プリデコード信号線の配線長を小さくできるので信号遅延を大幅に低減することができる。

【0013】また、本発明の半導体集積回路装置は、前記プリデコード信号線を2本以上に分割して設けたものである。

【0014】それにより、プリデコード信号線の配線長を小さくでき、かつ1本当たりのプリデコード信号線に接続される各階層におけるワードドライバのMOSトランジスタ数を少なくできるのでゲート容量も少なくすることができ、プリデコード信号線の充放電電流を大幅に少なくすることができる。

【0015】さらに、本発明の半導体集積回路装置は、前記プリデコーダを、メモリセルがマトリクス構造に2次元配置されたメモリアレイが分割して設けられるメモリセルアレイ領域に形成したものである。

【0016】また、本発明の半導体集積回路装置は、前記プリデコーダのバッファを、メモリセルがマトリクス構造に2次元配置されたメモリアレイが分割して設けられるメモリセルアレイ領域に形成したものである。

【0017】それらにより、プリデコード信号線の配線長を一層小さくでき、信号遅延をより大幅に低減するこ

とができる。

【0018】以上のことにより、半導体集積回路装置の動作を高速化でき、消費電力を低減することができる。また、プリデコード信号線を周辺回路が形成される領域に配線しなくてよいので、半導体チップを省面積化することができる。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0020】図1は、本発明の一実施の形態による3階層形ワード線構造のメモリにおけるブロック図、図2は、本発明の一実施の形態による3階層形ワード線構造のメモリにおける半導体チップのレイアウト図、図3は、本発明の一実施の形態による3階層形ワード線構造のメモリにおけるプリデコードおよびその周辺の回路図、図4は、本発明の一実施の形態による3階層形ワード線構造におけるメモリのデータ読み出し動作のタイミングチャートである。

【0021】本実施の形態において、3階層形ワード線構造の256MビットDRAMであるメモリ（半導体集積回路装置）1は、記憶の最小単位であるメモリセルSが規則正しくアレイ状に並べられてメモリアレイ2が設けられている。

【0022】また、メモリ1には、メモリアレイ2の内、列方向のビット線を選択する列デコーダ3が設けられている。その列デコーダ3には、該列デコーダ3からの出力を受けてビット線に選択パルス電圧を与える列ドライバが備えられている。さらに、メモリ1には、メモリマット2のセル読み出し信号を増幅するセンスアンプ4が設けられている。

【0023】次に、メモリ1は、行、列方向のアドレス信号が入力され、それぞれの内部アドレス信号を発生させて出力するアドレスバッファ5および該アドレスバッファ5から出力された列方向のアドレス信号をラッチするラッチ回路6、行方向のアドレス信号をラッチするラッチ回路7が設けられている。そして、ラッチ回路6によりラッチされたアドレス信号は、行デコーダ3に出力されることになる。

【0024】また、メモリ1は、ラッチ回路7から出力されるアドレス信号を受けて階層化されたグローバルワード線、メインワード線、サブワード線のプリデコードを行うプリデコード8ならびにそれらグローバルワード線、メインワード線、サブワード線を駆動するグローバルワードドライバ9、メインワードドライバ10ならびにサブワードドライバ11が設けられている。

【0025】さらに、メモリ1には、ラッチ回路6、7やリフレッシュ周期のカウントを行うリフレッシュカウンタ12などに所定の周波数のクロック信号を供給するクロック発生回路13が設けられている。

【0026】また、メモリ1は、入力データを所定のタ

イミングにより取り込むデータ入力バッファ14、出力データを所定のタイミングによって出力するデータ出力バッファ15およびそれらの入出力データの増幅を行うメインアンプ16が設けられている。さらに、メモリ1には、たとえば、ポンピング動作によりワード線電位などに用いられる昇圧電源電圧を生成する昇圧電源回路17が設けられている。

【0027】そして、これら列デコーダ3、センスアンプ4、アドレスバッファ5、ラッチ回路6、ラッチ回路7、リフレッシュカウンタ12、クロック発生回路13、データ入力バッファ14、データ出力バッファ15、メインアンプ16および昇圧電源回路17により周辺回路SCが構成されている。

【0028】次に、3階層形ワード線構造の半導体集積回路装置である256MビットDRAMのメモリ1における半導体チップCHのレイアウト構成について図2を用いて説明する。

【0029】まず、単結晶シリコンなどの半導体ウエハ上に半導体素子が形成された半導体チップCHの中央部には、前述した周辺回路SCが設けられている。そして、その周辺回路SCの上部および下部がメモリセルアレイ領域となっており、2進情報の1ビットを記憶するメモリセルS（図1）がマトリクス構造に2次元配置されたメモリアレイ2が分割して設けられている。

【0030】また、このメモリアレイ2は、たとえば、16分割された16MビットのサブアレイSM0～SM15によって構成され、周辺回路SCの上部にはサブアレイSM0～SM7が位置しており、周辺回路SCの下部にはサブアレイSM8～SM15が位置するように設けられている。

【0031】さらに、前述したメモリセルアレイ領域において、サブアレイSM0～SM7ならびにサブアレイSM8～SM15が位置する中央部近傍には、4つのグローバルワードドライバ9が形成されている。また、これらグローバルワードドライバ9は、それぞれのサブアレイSM3、SM4、SM11、SM12の側部に形成されている。

【0032】そして、メモリセルアレイ領域のサブアレイSM0～SM7ならびにサブアレイSM8～SM15が位置する中央部には、それらグローバルワードドライバ9に挟まれるようにして、それぞれプリデコード8が位置するように形成されている。

【0033】また、サブアレイSM0～SM3、サブアレイSM4～SM7、サブアレイSM8～SM11、サブアレイSM12～SM15におけるそれぞれの間にはメインワードドライバ10が位置するように設けられており、1つのグローバルワードドライバ9を3つのメインワードドライバ10によって共有した構成となっている。さらに、サブワードドライバは、各々のサブアレイSM0～SM15の領域に位置するように設けられてい

る。

【0034】よって、メモリセルアレイ領域には、サブアレイSM0～SM7、プリデコード8、グローバルワードドライバ9、メインワードドライバ10ならびにサブワードドライバが形成されていることになる。

【0035】次に、グローバルワードドライバ9からはグローバルワード線が配線されており、プリデコード8からはメインワードドライバ10と電氣的に接続されるプリデコード信号線PDが配線されており、グローバルワード線は、各々のサブアレイSM0～SM15上を通る10

ように配線されている。

【0036】また、プリデコード信号線PDも、同様にグローバルワード線と平行に各々のサブアレイSM0～SM15上を通るように配線されている。

【0037】ここで、図2においては、プリデコード信号線PDが一部のメインワードドライバ10と電氣的に接続される配線例を示しているが、プリデコード信号線はすべてのメインワードドライバ10と電氣的に接続されている。また、サブワードドライバ11と電氣的に接続されるプリデコード信号線も同様に各々のサブアレイ20 SM0～SM15上を通るように配線されている。さらに、グローバルワードドライバ9がメモリセルアレイ領域の中央部近傍に位置していない場合には、たとえば、半導体チップCHの端部などに位置する場合にも、同様にグローバルワードドライバ9が電氣的に接続されるプリデコード信号線が各々のサブアレイSM0～SM15上を通るように配線されることになる。

【0038】また、プリデコード信号線PDは、複数本のグローバルワード線毎に1本のプリデコード信号線PDが対応するように、たとえば、16本程度に分割されて配線が行われており、半導体チップCHの縦方向におけるプリデコード信号線PDの配線長を大幅に短くすることができる。

【0039】そして、プリデコード8からプリデコード信号線PDを介して出力されるプリデコード信号とグローバルワードドライバ9のドライバ信号との論理積をとって所定のメインワードドライバの選択を行っている。

【0040】次に、プリデコード信号線PDにおける配線構成について図3を用いて説明する。

【0041】ここで、図3は、図1におけるメモリセルS、プリデコード8、グローバルワードドライバ9、メインワードドライバ10ならびにサブワードドライバ11の一部の回路図を示したものである。

【0042】まず、図3において、プリデコード8はプリデコード信号線PDを介してメインワードドライバ10に電氣的に接続されている。

【0043】また、グローバルワードドライバ9は、'TURE' と 'BAR' の対線からなるグローバルワード線GWを介して所定のメインワードドライバ10と電氣的に接続され、対線的一方にはインバータを介してメ

インワードドライバ10と電氣的に接続されている。

【0044】さらに、サブワードドライバ11は、同じく対線からなる所定の駆動信号線FX、FXB、メインワード線MWならびにメモリセルを直接駆動するためにサブワード線SWと電氣的に接続されている。

【0045】また、駆動信号線FXBはプリデコード信号線PDと電氣的に接続された駆動用ドライバFDと電氣的に接続されており、駆動信号線FXはインバータを介して駆動用ドライバFDと電氣的に接続されている。そして、駆動信号線FX、FXBがサブワードドライバ11にプリデコードするプリデコード信号を供給するプリデコード信号線となる。

【0046】ここで、メインワード線MWは第2層メタル配線(M2)を使用して配線を行い、グローバルワード線GWおよびプリデコード信号線PDは第4層メタル配線(M4)を用いて配線を行っている。

【0047】次に、メモリ1における読み出し動作のタイミングチャートを図4に示す。

【0048】図4においては、上方から下方にかけてグローバルワード線GW、プリデコード信号線PD、メインワード線MW、駆動信号線FX、FXB、サブワード線SWならびにビット線BLの動作におけるタイミングチャートを示している。

【0049】まず、入力アドレスによってグローバルワード線GWおよびプリデコード信号線PDが選択され、選択されたグローバルワード線GW、プリデコード信号線PDの論理積によって所定のメインワード線MWが選択され、同時にプリデコード信号線PDに基づいて駆動信号線FXが選択される。

【0050】そして、選択されたメインワード線MWと駆動信号線FXの論理積によって所定のサブワード線SWが選択され、選択されたビット線BLとの交点のメモリセルのデータが読み出されることになる。

【0051】それにより、本実施の形態では、プリデコード8をサブアレイSM0～SM15が位置する中央部に設けたことにより、プリデコード信号線PDをメモリアレイ2上に配線することができ、周辺回路SCにおけるプリデコード信号線PDの配線が不要となるので、半導体チップCHの配線面積を大幅に小さくすることができる。

【0052】また、プリデコード信号PDを分割して配線することにより、プリデコード信号線PDの配線長を大幅に短くすることができるので、プリデコード信号線PDの信号遅延や充放電電流を低減することができる。

【0053】さらに、本実施の形態によれば、プリデコード8が最上階層ワードドライバ領域にグローバルワードドライバ9に挟まれるようにして形成されていたが、たとえば、プリデコード8を周辺回路SCに形成し、プリデコード8におけるバッファ回路だけを最上階層ワードドライバ領域の中央部に形成するようにしてもよい。

【0054】また、本実施の形態では、プリデコード信号線PDは第4層メタル配線(M4)を用いて配線を形成したが、図5に示すように、メインワード線MWと同じ第2層メタル配線(M2)を使用してグローバルワード線GWおよびプリデコード信号線PDの配線を形成するようにしてもよい。

【0055】この場合、グローバルワード線GW、プリデコード信号線PDの配線は、メインワード線MWの間に形成されることになるが、グローバルワード線GWとプリデコード信号線PDは、メインワード線MWの本数

に対して大幅に少ないので配線ピッチに対する影響は少ない。

【0056】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0057】たとえば、前記実施の形態においては、3階層形ワード線構造のメモリについて記載したが、4階層や5階層などの3階層以上の階層形ワード線構造のDRAM半導体集積回路装置であればプリデコード信号線をメモリアレイ上の配線層に形成することにより、半導体集積回路装置の高速化、低消費電力化および半導体チップの省面積化を行うことができる。

【0058】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0059】(1)本発明によれば、プリデコードのプリデコード信号線をメモリアレイの領域上における配線層に形成することにより、プリデコード信号線の配線長を小さくできるので信号遅延を大幅に低減することができる。

【0060】(2)また、本発明では、プリデコード信号線を2本以上に分割して設けることによってプリデコード信号線の配線長を小さくでき、かつ1本当たりのプリデコード信号線における寄生容量も少なくすることができ、プリデコード信号線の充放電電流を大幅に少なくすることができる。

【0061】(3)さらに、本発明においては、プリデコードまたはプリデコードのバッファをメモリセルアレイ領域に形成することによってプリデコード信号線の配線長を一層小さくでき、信号遅延をより大幅に低減することができる。

【0062】(4)また、本発明によれば、上記(1)～(3)により、半導体集積回路装置の動作を高速化で

き、消費電力を大幅に低減することができ、かつ半導体チップを省面積化することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態による3階層形ワード線構造のメモリにおけるブロック図である。

【図2】本発明の一実施の形態による3階層形ワード線構造のメモリにおける半導体チップのレイアウト図である。

【図3】本発明の一実施の形態による3階層形ワード線構造のメモリにおけるプリデコードおよびその周辺の回路図である。

【図4】本発明の一実施の形態による3階層形ワード線構造におけるメモリのデータ読み出し動作のタイミングチャートである。

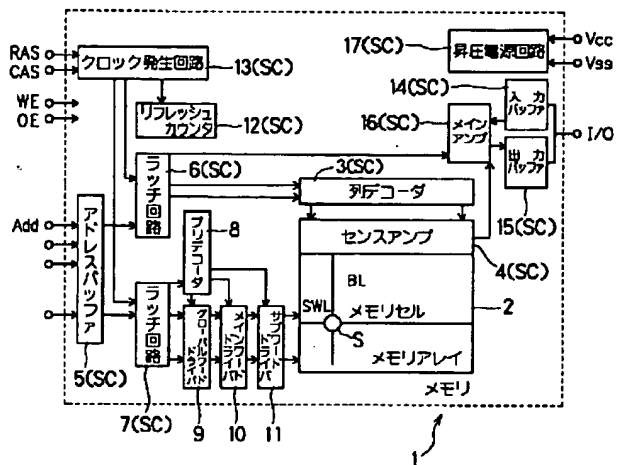
【図5】本発明の他の実施の形態による3階層形ワード線構造のメモリにおけるプリデコードおよびその周辺の回路図である。

【符号の説明】

- 1 メモリ(半導体集積回路装置)
- 2 メモリアレイ
- 3 列デコード
- 4 センスアンプ
- 5 アドレスバッファ
- 6 ラッチ回路
- 7 ラッチ回路
- 8 プリデコード
- 9 グローバルワードドライバ
- 10 メインワードドライバ
- 11 サブワードドライバ
- 12 リフレッシュカウンタ
- 13 クロック発生回路
- 14 データ入力バッファ
- 15 データ出力バッファ
- 16 メインアンプ
- 17 昇圧電源回路
- S メモリセル
- SC 周辺回路
- CH 半導体チップ
- SM0～SM15 サブアレイ
- PD プリデコード信号線
- GW グローバルワード線
- MW メインワード線
- SW サブワード線
- FD 駆動用ドライバ
- FX, FXB 駆動信号線
- BL ビット線

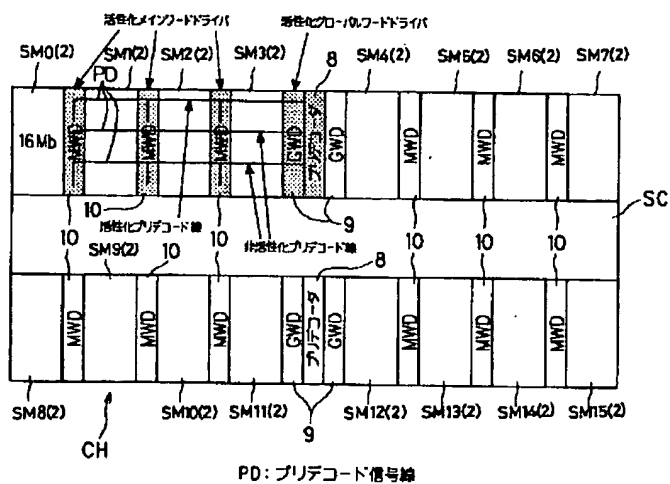
【図1】

図1



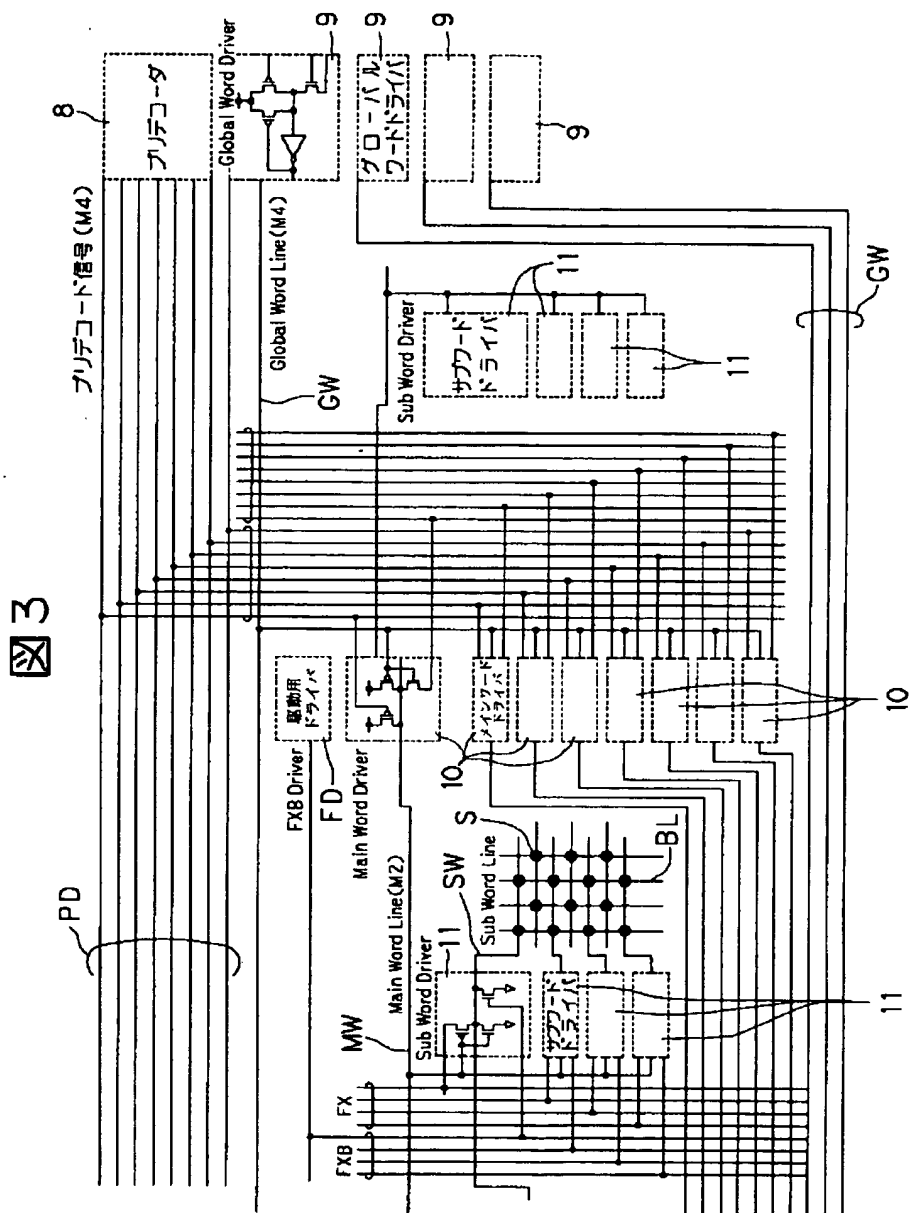
【図2】

図2



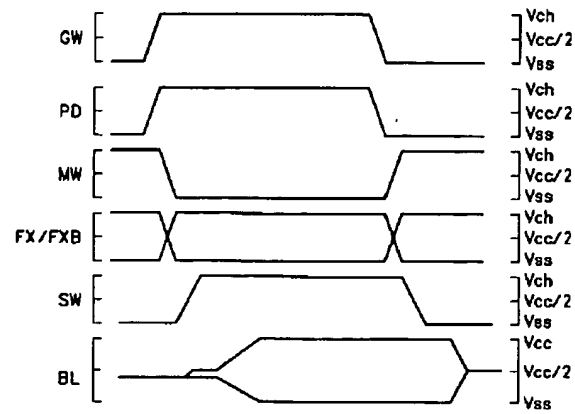


【図3】



【図4】

図4



【図5】

